

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000150644 A**(43) Date of publication of application: **30.05.00**

(51) Int. Cl.

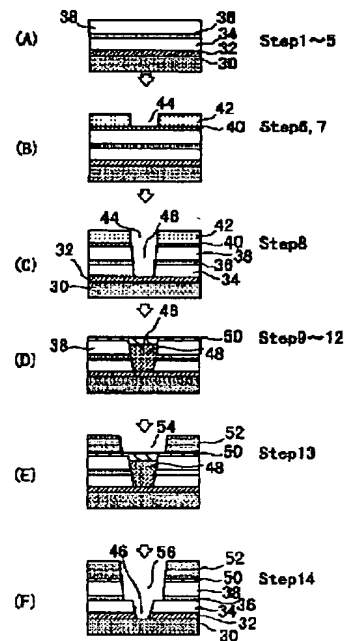
**H01L 21/768****H01L 21/302****H01L 21/3205**(21) Application number: **10318556**(22) Date of filing: **10.11.98**(71) Applicant: **mitsubishi electric corp**(72) Inventor: **HARADA AKIHIKO  
SAITO TAKAYUKI**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent a lower-layer wiring layer from being damaged related to a manufacturing method for a semiconductor device comprising a wiring element of a dual damascene structure at the upper part of the lower-layer wiring layer.

**SOLUTION:** On a lower-layer wiring layer 30 a first silicon nitride film 32, a first silicon oxide film 34, a second silicon nitride film 36, and a second silicon oxide film 38 are formed in order (steps 1-5). At the upper part of the lower-layer wiring layer 30, a second silicon oxide film 38 and a via hole 46 penetrating the second silicon nitride film 36 are formed (steps 6-8). A photo-resist 48 is so packed in the via hole 46 as to cover its inside wall (steps 9-12). After a protect film is formed of the photo-resist 48, a specified part of the second silicon oxide film 38 and the second silicon nitride film 36 is removed to form a wiring groove 56 (steps 13-14).

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-150644  
(P2000-150644A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L	21/768	H 0 1 L 21/90	A 5 F 0 0 4
	21/302	21/302	Z 5 F 0 3 3
	21/3205	21/88	K
		21/90	M

審査請求 未請求 請求項の数14 O L (全 18 頁)

(21) 出願番号	特願平10-318556	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成10年11月10日 (1998. 11. 10)	(72) 発明者	原田 昭彦 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(72) 発明者	斉藤 隆幸 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74) 代理人	100082175 弁理士 高田 守 (外1名)

最終頁に続く

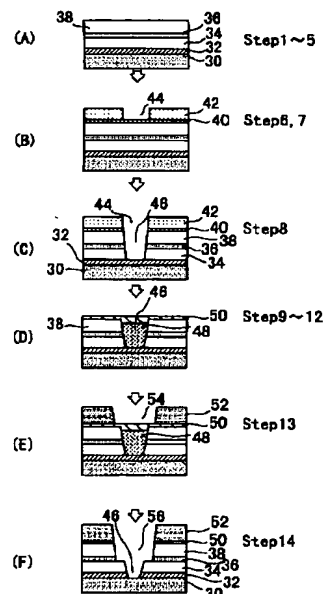
(54) 【発明の名称】 半導体デバイスの製造方法

(57) 【要約】

【課題】 本発明は下層配線層の上部にデュアルダマシ  
ン構造の配線要素を備える半導体デバイスの製造方法に  
関し、下層配線層の損傷を防止することを目的とする。

【解決手段】 下層配線層30の上に、第1シリコン窒  
化膜32、第1シリコン酸化膜34、第2シリコン窒化  
膜36および第2シリコン酸化膜38を順次形成する

(ステップ1～5)。下層配線層30の上部に、第2シ  
リコン酸化膜38、および、第2シリコン窒化膜36を  
貫通するビアホール46を形成する(ステップ6～  
8)。ビアホール46の内部に、その内壁を覆うように  
フォトレジスト48を埋め込む(ステップ9～12)。  
フォトレジスト48による保護膜を形成した後に、第2  
シリコン酸化膜38および第2シリコン窒化膜36の所  
定部位を除去して配線溝56を形成する(ステップ1  
3, 14)。



## 【特許請求の範囲】

【請求項 1】 デュアルダマシン構造の配線要素を備える半導体デバイスの製造方法であって、  
下層配線層上に金属の拡散防止膜を形成するステップと、  
前記核酸防止膜の上部に第 1 絶縁膜を形成するステップと、  
前記第 1 絶縁膜の上部にエッチングストップ膜を形成するステップと、  
前記エッチングストップ膜の上部に第 2 絶縁膜を形成するステップと、  
前記下層配線層の上部に、前記第 2 絶縁膜、前記エッチングストップ膜、および、前記第 1 絶縁膜を貫通するビアホールを形成するステップと、  
前記ビアホールの内部に、そのビアホールの内壁を覆う有機層を形成するステップと、  
前記有機層の形成後に、前記第 2 絶縁膜の所定部位をエッチングにより除去して配線溝を形成するステップと、  
を備えることを特徴とする半導体デバイスの製造方法。

【請求項 2】 前記有機層は、前記ビアホールが、少なくともその底面から前記第 2 絶縁膜の内面に至る領域において覆われるように形成されることを特徴とする請求項 1 記載の半導体デバイスの製造方法。

【請求項 3】 前記有機層を形成するステップは、前記ビアホールの内部にフォトリソを埋め込むステップと、  
前記フォトリソを硬化させるステップとを備えることを特徴とする請求項 1 または 2 記載の半導体デバイスの製造方法。

【請求項 4】 前記有機層を形成するステップは、前記ビアホールの内部に、前記有機層として有機反射防止剤の層を形成するステップを備えることを特徴とする請求項 1 または 2 記載の半導体デバイスの製造方法。

【請求項 5】 前記下層配線層を形成するステップは、シリコン基板上にエッチングストップ膜を形成するステップと、  
前記エッチングストップ膜上に第 0 絶縁膜を形成するステップと、  
写真製版および異方性エッチングにより下層配線用溝を形成するステップと、  
前記下層配線用溝の中に高融点金属膜を形成した後に主金属材を埋め込むステップと、  
下層配線用溝の外部にある余分な主金属剤を除去するステップと、  
前記主金属材の上部に、高融点金属膜を形成するステップと、  
を備えることを特徴とする請求項 1 乃至 4 の何れか 1 項記載の半導体デバイスの製造方法。

【請求項 6】 前記下層配線用溝の中に主金属材を埋め込んだ後に、前記第 0 絶縁膜の表面が露出し、前記下層

配線用溝の外部に主金属材が無くなるまで平坦化するステップを備えると共に、  
前記高融点金属膜を形成するステップは、  
前記シリコン基板および前記主金属材の上部に高融点金属の層を形成するステップと、  
前記高融点金属の層が前記主金属膜を覆う所定の領域のみに残存するようにエッチングを行うステップと、  
を備えることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記下層配線用溝の中に主金属材を埋め込んだ後に、前記主金属材の表面を、前記第 0 絶縁膜の表面に比して所定長だけ窪ませるステップを備えると共に、  
前記高融点金属膜を形成するステップは、  
前記主金属材の表面を窪ませた後に、前記第 0 絶縁膜および前記主金属材の上部に高融点金属の層を形成するステップと、  
前記高融点金属の層が前記主金属膜を覆う所定の領域のみに残存するように、前記第 0 絶縁膜の表面が露出するまで前記高融点金属の膜を除去するステップと、  
を備えることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】 前記下層配線層を形成するステップは、第 0 絶縁膜に下層配線用溝を形成するステップと、  
前記下層配線用溝の中に高融点金属膜を形成した後に主金属材を埋め込むステップと、  
前記主金属材の上部に、0.5～1.0 の吸収係数を有するシリコン窒化膜を形成するステップと、  
を備えることを特徴とする請求項 1 乃至 4 の何れか 1 項記載の半導体デバイスの製造方法。

【請求項 9】 前記下層配線用溝の中に主金属材を埋め込んだ後に、前記第 0 絶縁膜の表面と前記主金属材の表面とを平坦化するステップを備えると共に、  
前記シリコン窒化膜を形成するステップは、  
前記シリコン基板および前記主金属材の上部に 0.5～1.0 の吸収係数を有するシリコン窒化物の層を形成するステップと、  
前記シリコン窒化物の層が前記主金属膜を覆う所定の領域のみに残存するようにエッチングを行うステップと、  
を備えることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記下層配線用溝の中に主金属材を埋め込んだ後に、前記主金属材の表面を、前記第 0 絶縁膜の表面に比して所定長だけ窪ませるステップを備えると共に、  
前記シリコン窒化膜を形成するステップは、  
前記主金属材の表面を窪ませた後に、前記シリコン基板および前記主金属材の上部にシリコン窒化物の層を形成するステップと、  
前記シリコン窒化物の層が前記主金属膜を覆う所定の領

10

20

30

40

50

域のみに残存するように、前記第0絶縁膜の表面が露出するまで前記シリコン窒化物の層を除去するステップと、  
を備えることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項11】 前記エッチングストップ膜は、0.5～1.0の吸収係数を有するシリコン窒化膜を含むことを特徴とする請求項1乃至10の何れか1項記載の半導体デバイスの製造方法。

【請求項12】 前記ビアホールを開口する前に、前記第2絶縁膜の上部に反射防止用高融点金属膜を形成するステップと、  
前記配線溝が形成された後に、前記第2絶縁膜の上部に残存する前記反射防止用高融点金属膜を除去するステップとを備え、  
前記ビアホールを開口するステップは、前記反射防止用高融点金属膜の、前記ビアホールに対応する部位を除去するステップを含み、  
前記配線溝を形成するステップは、前記反射防止用高融点金属膜の、前記配線溝に対応する部位を除去するステップを含むことを特徴とする請求項1乃至11の何れか1項記載の半導体デバイスの製造方法。

【請求項13】 前記ビアホールを開口する前に、前記第2絶縁膜の上部に0.5～1.0の吸収係数を有する反射防止用シリコン窒化膜を形成するステップと、  
前記配線溝が形成された後に、前記第2絶縁膜の上部に残存する前記反射防止用シリコン窒化膜を除去するステップとを備え、  
前記ビアホールを開口するステップは、前記反射防止用シリコン窒化膜の、前記ビアホールに対応する部位を除去するステップを含み、  
前記配線溝を形成するステップは、前記反射防止用シリコン窒化膜の、前記配線溝に対応する部位を除去するステップを含むことを特徴とする請求項1乃至11の何れか1項記載の半導体デバイスの製造方法。

【請求項14】 前記ビアホールを開口するステップは、  
前記第2絶縁膜の上部に第1有機反射防止膜を成膜するステップと、  
前記第1有機反射防止膜の上部に、前記ビアホールに対応する部位に開口部を有する第1フォトリソ膜を形成するステップとを含み、  
前記配線溝を形成するステップは、  
前記第2絶縁膜の上部に第2有機反射防止膜を成膜するステップと、  
前記第2有機反射防止膜の上部に、前記配線溝に対応する部位に開口部を有する第2フォトリソ膜を形成するステップとを含むことを特徴とする請求項1乃至11の何れか1項記載の半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体デバイスの製造方法に係り、特に、下層配線層の上部にデュアルダマシン構造の配線要素を備える半導体デバイスの製造方法に関する。

【0002】

【従来の技術】 半導体デバイスの配線材料としては、銅などの比抵抗の小さな材質が用いられることがある。半導体デバイスにおいて、銅を用いた多層配線には、一般にデュアルダマシン構造、すなわち、層間絶縁膜にビアホールと配線溝とを形成した後に、それらに金属を埋め込んで配線を形成する構造が用いられる。

【0003】 図13(A)～図13(C)は、デュアルダマシン構造の配線を有する従来の半導体デバイスの製造方法を説明するための図を示す。従来の製造方法において、下層配線10は、シリコン基板上の所定部位に溝エッチングストップ膜および第0絶縁膜を形成した後、写真製版およびエッチングにより、例えば銅により形成される。下層配線層10の上部には、第1シリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>)12、第1シリコン酸化膜14、第2シリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>)16、第2シリコン酸化膜18が順次形成される。更に、第2シリコン酸化膜18の上部に、ビアホール19に対応する部位に開口部を有する第1フォトリソ20が形成される。

【0004】 次に、第1フォトリソ20をマスクとして、ビアホール19を開口するための異方性ドライエッチングが行われる。上記のエッチングは、ビアホール19の内部に第1シリコン窒化膜12が露出するまで行われる(図13(A))。エッチングの過程において、第1シリコン窒化膜12は、エッチングの進行を止めるストップ膜として機能する。

【0005】 ビアホール19を開口するためのエッチングが終了すると、第2シリコン酸化膜18の上部から第1フォトリソ20が除去され、代わりに、配線溝に対応する部位に開口部を有する第2フォトリソ22が形成される(図13(B))。

【0006】 次に、第2フォトリソ22をマスクとして、配線溝24を開口するための異方性ドライエッチングが行われる(図13(C))。上記のエッチングは、先ず、シリコン酸化膜を、シリコン窒化膜に対して大きな選択比で除去し得る条件で行われる。この際、第1および第2シリコン窒化膜12、16は、共にエッチングの進行を止めるためのストップ膜として用いられる。次に、配線溝24の内部に露出した第2シリコン窒化膜16、および、ビアホール19の内部に露出している第1シリコン窒化膜12を除去するためのエッチングが行われる。これらの処理が適正に行われると、下層配線層10の表面を露出させるビアホール19と、ビアホール19と通じる配線溝24とが形成される。

【0007】

【発明が解決しようとする課題】しかし、第1シリコン窒化膜12は、配線溝24を形成するためのエッチングの実行中、ビアホール19の底部において常にエッチャントにさらされる（以下、その部位を「露出部」と称す）。また、その露出部は、製造条件のバラツキ等に起因して、ビアホール19を開口するためのエッチングの過程で多量にエッチングされることがある。このような状況下では、配線溝24を開口するためのエッチングの過程で、ビアホール19が第1シリコン窒化膜12を突き抜けて、下層配線層10の表面が露出することがある。この場合、以後エッチングが継続されることにより、図13（C）に示す如く、下層配線層10に損傷が生ずる。

【0008】また、従来の製造方法において、配線溝24を開口するためのエッチングは、上記の如くビアホール19の開口後に行われる。この場合、第2シリコン酸化膜14や第2シリコン窒化膜16は、ビアホール19の開口部付近において、他の部位に比して大きくエッチングの効果を受けやすい。このため、従来の製造方法によれば、配線溝24を開口するためのエッチングの過程で、第2シリコン窒化膜16に設けられた貫通孔（ビアホール19による孔）の径は拡大されやすい。

【0009】図14は、第2シリコン窒化膜16の貫通孔の径がエッチングの過程で拡大された場合に生ずる状態を示す。図14において、破線で示す形状は、第1および第2シリコン窒化膜12、16がストップ膜として適正に機能した場合に得られる理想の状態を示す。図14において、下層配線層10は、理想状態のビアホール19の径とほぼ等しい幅を有している。また、下層配線層10は、その周囲にバリアメタル26の層を備えている。

【0010】配線溝24の形成過程で第2シリコン窒化膜16の貫通孔の径が拡大されると、ビアホール19の形状は、図14に示す如く、上端部の径が下端部の径に比して大きなテーパ形状となる。ビアホール19がテーパ状に形成されると、下層配線層14の側面がエッチャントにさらされ易くなる。この場合、エッチングの影響でバリアメタル26が損傷を受け、配線層の主金属とバリアメタル26とに膜剥がれが生じ易くなる。このように、従来の半導体デバイスの製造方法は、下層配線層10の上部にデュアルダマシン構造の配線要素を形成する際に、下層配線層10に種々の損傷を生じさせ易いという問題を有するものであった。

【0011】ところで、従来の半導体装置において配線層の主金属として用いられる銅は、アルミに比べて高い反射率を有している。従来の製造方法においては、ビアホール19を開口するための第1フォトレジスト20をパターニングする際（図13（A）参照）、および、配線溝24を形成するための第2フォトレジスト22をパターニングする際（図13（B）参照）に、それらの上

方から光（例えばi線）を照射してフォトレジストを感光させる処理が行われる。フォトレジストは、その上部から照射された直接光と、フォトレジストを通過した後、基板側で反射して戻ってくる反射光とを受けて感光する。このため、フォトレジストの感光状態は、反射光の強度や、直接光と反射光との干渉状態等に大きな影響を受ける。

【0012】従来の半導体デバイスが用いるシリコン酸化膜やシリコン窒化膜は、一般に光を透過させる。このため、フォトレジストを通過した光の一部は、シリコン酸化膜やシリコン窒化膜を透過して、下層配線層10やシリコン基板の表面まで到達する。このため、下層配線層10の上部に塗布されたフォトレジストは、下層配線層10で生成された反射光を受光する。また、下層配線層10の形成されていない領域の上部に塗布されたフォトレジストは、下層配線層10の更に下層に位置するシリコン基板の表面で反射された反射光を受光する。

【0013】下層配線層10で反射された反射光がフォトレジストに到達するまでに通過する光路の長さ、および、シリコン基板の表面で反射された反射光がフォトレジストに到達するまでに通過する光路の長さは、光の反射面とフォトレジストとの間に介在する層間絶縁膜の膜厚のバラツキに応じて変動する。また、それらの光路差が変動すると、フォトレジストが受光する直接光と反射光の干渉状態が変化して、フォトレジストの感光状態にバラツキが生ずる。この点、従来の製造方法は、層間絶縁膜の膜厚のバラツキに起因して、第1および第2フォトレジスト20、22の寸法精度を悪化させ易いものであった。

【0014】更に、下層配線層10の主金属に反射率の高い銅等の金属が用いられる場合は、マスクを通過した光が下層配線層10によって強く反射されることにより、反射光に起因するハレーションが生ずることがある。従来の製造方法においては、第1フォトレジスト20のパターニング処理の際、および、第2フォトレジスト22のパターニングの際に、そのハレーションの影響でフォトレジストのパターン異常が生ずることがある。このように、従来の製造方法は、写真製版によりフォトレジストをパターニングする際に、反射光の影響でパターン精度を悪化させやすいという問題を有していた。

【0015】本発明は、上記のような課題を解決するためになされたもので、下層配線層を損傷させることなく、その上部にデュアルダマシン構造の配線要素を形成することのできる半導体デバイスの製造方法を提供することを第1の目的とする。また、本発明は、第1の目的を達成すると共に、反射光の影響を受けることなく精度良くフォトレジストをパターニングすることのできる半導体デバイスの製造方法を提供することを第2の目的とする。

【0016】

【課題を解決するための手段】請求項1記載の発明は、デュアルダマシン構造の配線要素を備える半導体デバイスの製造方法であって、下層配線にメタルの拡散防止膜を形成するステップと、前記拡散防止膜の上部に第1絶縁膜を形成するステップと、前記第1絶縁膜の上部にエッチングストップ膜を形成するステップと、前記エッチングストップ膜の上部に第2絶縁膜を形成するステップと、前記下層配線の上部に、前記第2絶縁膜、前記エッチングストップ膜、および、第1絶縁膜を貫通するビアホールを形成するステップと、前記ビアホールの内部に、そのビアホールの内壁を覆う有機層を形成するステップと、前記有機層の形成後に、前記第2絶縁膜の所定部位をエッチングにより除去して配線溝を形成するステップと、を備えることを特徴とするものである。

【0017】請求項2記載の発明は、請求項1記載の半導体デバイスの製造方法であって、前記有機層は、前記ビアホールが、少なくともその底面から前記第2絶縁膜の内面に至る領域において覆われるように形成されることを特徴とするものである。

【0018】請求項3記載の発明は、請求項1または2記載の半導体デバイスの製造方法であって、前記有機層を形成するステップは、前記ビアホールの内部にフォトリジストを埋め込むステップと、前記フォトリジストを硬化させるステップとを備えることを特徴とするものである。

【0019】請求項4記載の発明は、請求項1または2記載の半導体デバイスの製造方法であって、前記有機層を形成するステップは、前記ビアホールの内部に、前記有機層として有機反射防止剤の層を形成するステップを備えることを特徴とするものである。

【0020】請求項5記載の発明は、請求項1乃至4の何れか1項記載の半導体デバイスの製造方法であって、シリコン基板上にエッチングストップ膜を形成するステップと、前記エッチングストップ膜上に第0絶縁膜を形成するステップと、写真製版および異方性エッチングにより下層配線用溝を形成するステップと、前記下層配線用溝の中に高融点金属膜を形成した後に主金属材を埋め込むステップと、下層配線用溝の外部にある余分な主金属剤を除去するステップと、前記主金属材の上部に、高融点金属膜を形成するステップと、を備えることを特徴とするものである。

【0021】請求項6記載の発明は、請求項5記載の半導体装置の製造方法であって、前記下層配線用溝の中に主金属材を埋め込んだ後に、前記第0絶縁膜の表面が露出し、前記下層配線用溝の外部に主金属材が無くなるまで平坦化するステップを備えると共に、前記高融点金属膜を形成するステップは、前記シリコン基板および前記主金属材の上部に高融点金属の層を形成するステップと、前記高融点金属の層が前記主金属膜を覆う所定の領域のみに残存するようにエッチングを行うステップと、

を備えることを特徴とするものである。

【0022】請求項7記載の発明は、請求項5記載の半導体装置の製造方法であって、前記下層配線用溝の中に主金属材を埋め込んだ後に、前記主金属材の表面を、前記第0絶縁膜の表面に比して所定長だけ窪ませるステップを備えると共に、前記高融点金属膜を形成するステップは、前記主金属材の表面を窪ませた後に、前記第0絶縁膜および前記主金属材の上部に高融点金属の層を形成するステップと、前記高融点金属の層が前記主金属膜を覆う所定の領域のみに残存するように、前記第0絶縁膜の表面が露出するまで前記高融点金属の膜を除去するステップと、を備えることを特徴とするものである。

【0023】請求項8記載の発明は、請求項1乃至4の何れか1項記載の半導体デバイスの製造方法であって、前記下層配線層を形成するステップは、第0絶縁膜に下層配線用溝を形成するステップと、前記下層配線用溝の中に高融点金属を形成した後に主金属材を埋め込むステップと、前記主金属材の上部に、0.5～1.0の吸収係数を有するシリコン窒化膜を形成するステップと、を備えることを特徴とするものである。

【0024】請求項9記載の発明は、請求項8記載の半導体装置の製造方法であって、前記下層配線用溝の中に主金属材を埋め込んだ後に、前記第0絶縁膜の表面と前記主金属材の表面とを平坦化するステップを備えると共に、前記シリコン窒化膜を形成するステップは、前記シリコン基板および前記主金属材の上部に0.5～1.0の吸収係数を有するシリコン窒化物の層を形成するステップと、前記シリコン窒化物の層が前記主金属膜を覆う所定の領域のみに残存するようにエッチングを行うステップと、を備えることを特徴とするものである。

【0025】請求項10記載の発明は、請求項8記載の半導体装置の製造方法であって、前記下層配線用溝の中に主金属材を埋め込んだ後に、前記主金属材の表面を、前記第0絶縁膜の表面に比して所定長だけ窪ませるステップを備えると共に、前記シリコン窒化膜を形成するステップは、前記主金属材の表面を窪ませた後に、前記シリコン基板および前記主金属材の上部にシリコン窒化物の層を形成するステップと、前記シリコン窒化物の層が前記主金属膜を覆う所定の領域のみに残存するように、前記第0絶縁膜の表面が露出するまで前記シリコン窒化物の層を除去するステップと、を備えることを特徴とするものである。

【0026】請求項11記載の発明は、請求項1乃至10の何れか1項記載の半導体デバイスの製造方法であって、前記エッチングストップ膜は、0.5～1.0の吸収係数を有するシリコン窒化膜を含むことを特徴とするものである。

【0027】請求項12記載の発明は、請求項1乃至11の何れか1項記載の半導体デバイスの製造方法であって、前記ビアホールを開口する前に、前記第2絶縁膜の

上部に反射防止用高融点金属膜を形成するステップと、前記配線溝が形成された後に、前記第2絶縁膜の上部に残存する前記反射防止用高融点金属膜を除去するステップとを備え、前記ビアホールを開口するステップは、前記反射防止用高融点金属膜の、前記ビアホールに対応する部位を除去するステップを含み、前記配線溝を形成するステップは、前記反射防止用高融点金属膜の、前記配線溝に対応する部位を除去するステップを含むことを特徴とするものである。

【0028】請求項13記載の発明は、請求項1乃至11の何れか1項記載の半導体デバイスの製造方法であって、前記ビアホールを開口する前に、前記第2絶縁膜の上部に0.5～1.0の吸収係数を有する反射防止用シリコン窒化膜を形成するステップと、前記配線溝が形成された後に、前記第2絶縁膜の上部に残存する前記反射防止用シリコン窒化膜を除去するステップとを備え、前記ビアホールを開口するステップは、前記反射防止用シリコン窒化膜の、前記ビアホールに対応する部位を除去するステップを含み、前記配線溝を形成するステップは、前記反射防止用シリコン窒化膜の、前記配線溝に対応する部位を除去するステップを含むことを特徴とするものである。

【0029】請求項14記載の発明は、請求項1乃至11の何れか1項記載の半導体デバイスの製造方法であって、前記ビアホールを開口するステップは、前記第2絶縁膜の上部に第1有機反射防止膜を成膜するステップと、前記第1有機反射防止膜の上部に、前記ビアホールに対応する部位に開口部を有する第1フォトリソ膜を形成するステップとを含み、前記配線溝を形成するステップは、前記第2絶縁膜の上部に第2有機反射防止膜を成膜するステップと、前記第2有機反射防止膜の上部に、前記配線溝に対応する部位に開口部を有する第2フォトリソ膜を形成するステップとを含むことを特徴とするものである。

【0030】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する。

【0031】実施の形態1. 図1(A)～図1(F)は、本発明の実施の形態1の半導体デバイスの製造方法を説明するための図を示す。図1(A)に示す如く、本実施形態の製造方法においては、まず、シリコン基板に設けられた下層配線溝(図示せず)の中に下層配線層30が形成される(ステップ1)。下層配線層30は、13000オングストロームの膜厚を有しており、銅を主金属材として形成されている。

【0032】次に、下層配線層30の上に、600オングストロームの膜厚を有する第1シリコン窒化膜32(ステップ2)、12000オングストロームの膜厚を

有する第1シリコン酸化膜34(ステップ3)、3600オングストロームの膜厚を有する第2シリコン窒化膜36(ステップ4)、および、13000オングストロームを有する第2シリコン酸化膜38(ステップ5)が順次形成される。

【0033】図1(B)に示す如く、第2シリコン酸化膜38の上部には、公知の有機反射防止材で構成される第1有機反射防止膜40(以下、「第1BARC40」:Bottom Anti-Reflective Coatingと称す)が塗布される(ステップ6)。第1BARC40の上には、写真製版により、第1フォトリソ膜42が形成される(ステップ7)。第1フォトリソ膜42は、ビアホールを形成すべき位置に開口部44を備えている。

【0034】第1フォトリソ膜42のパターニングの際には、第1フォトリソ膜42の上にマスクを重ねた状態で、第1フォトリソ膜42に向けて光が照射される。第1フォトリソ膜42を通過した光の大部分は、第1BARC40によって反射光とされる。この場合、層間絶縁膜の膜厚のバラツキに関わらず反射光の光路長が一定となり、第1フォトリソ膜42が受ける直接光と反射光との干渉状態は、常にほぼ一定となる。また、上記の状況下では、下層配線層30によって強い反射光が生成されることがないため、写真製版時のハレーションが有効に防止できる。このため、ステップ7の処理によれば、第1フォトリソ膜42を高い寸法精度でパターニングすることができる。

【0035】次に、図1(C)に示す如く、ビアホール46を開口するための異方性ドライエッチングが行われる(ステップ8)。ステップ8のエッチングは、まず、シリコン酸化物の除去に適した条件で行われる。その結果、ビアホール46の底部に第2シリコン窒化膜36が露出する。次に、シリコン窒化物の除去に適した条件でエッチングが行われる。その結果、ビアホール46の底部に第1シリコン酸化膜34が露出する。次いで、再び、シリコン酸化物の除去に適した条件でエッチングが行われる。その結果、ビアホール46の底部に第1シリコン窒化膜32が露出する。

【0036】上記ステップ8のエッチングの条件は、半導体ウェハ上の全ての部位においてビアホール46が適当に開口されるように、すなわち、全てのビアホール46の底部に第1シリコン窒化膜32が露出するように設定されている。より具体的には、全てのビアホール46の底部に第1シリコン窒化膜32が露出するようにオーバーエッチング量が定められている。第1シリコン窒化膜32のうち、比較的早期にビアホール46の内部に露出した部分は、上記のオーバーエッチングの過程において、長期にわたってエッチングストップ膜として機能する。この場合、ビアホール46を開口するためのエッチングが終了した時点で、それらの部分が他の部位に比して明らかに薄くなることがある。

【0037】図1 (D) に示す如く、ビアホール46を開口するためのエッチングが終了すると、第1フォトレジスト42が除去される(ステップ9)。次いで、ビアホール46の内部にフォトレジスト48が埋め込まれる(ステップ10)。フォトレジスト48は、少なくともビアホール46の内壁が、その底面から第2シリコン窒化膜36を越える領域まで覆われるように埋め込まれる。フォトレジスト48は、150℃のホットプレートの上で、600mW/cm<sup>2</sup>の照度で、120秒間DeepUV光が照射されることにより硬化される(ステップ11)。第2シリコン窒化膜38の上部、および、硬化後のフォトレジスト48の上部には、第2BARC50が塗布される(ステップ12)。

【0038】図1 (E) に示す如く、第2BARC50の上には、写真製版により、第2フォトレジスト52が形成される(ステップ13)。第2フォトレジスト52は、配線溝を形成すべき位置に開口部54を備えている。第2フォトレジスト52のパターニングの際には、第2フォトレジスト52の上にマスクを重ねた状態で、第2フォトレジスト52に向けて光が照射される。第2フォトレジスト52を通過した光の大部分は、第2BARC50によって反射光とされる。このため、ステップ13の処理によれば、反射光の光路差やハレーションの問題を回避して、第2フォトレジスト52を高い寸法精度でパターニングすることができる。

【0039】次に、図1 (F) に示す如く、配線溝56を開口するための異方性ドライエッチングが行われる(ステップ14)。ステップ14のエッチングは、まず、シリコン窒化物の除去に適した条件で行われる。その結果、第2シリコン窒化膜36が露出するまで配線溝56が形成される。次に、シリコン窒化物の除去に適した条件でエッチングが行われる。その結果、第1シリコン窒化膜の露出部が除去されて、下層配線層30の表面がビアホール46の内部に露出すると共に、配線溝56の底部に残存していた第2シリコン窒化膜36が除去される。ステップ14の処理が終了すると、ビアホール46の内部に残存するフォトレジスト48と、第2シリコン窒化膜38の上部に残存する第2フォトレジスト52が、アッシングによって同時に除去される。

【0040】上記のエッチングは、ビアホール46の内部、すなわち、第1シリコン窒化膜32の露出部、および、第2シリコン窒化膜36の貫通孔(ビアホール46による孔)の側面が、フォトレジスト48により保護された状態で行われる。このため、ビアホール46の開口が終了した時点で第1シリコン窒化膜32の露出部が他の部位に比して明らかに薄い場合でも、配線溝を形成するためのエッチングの過程で、ビアホール46が不当に早期に第1シリコン窒化膜32を突き抜けることがないと共に、第2シリコン窒化膜32の貫通孔の径、すなわち、ビアホール46の上端部の径が不当に拡大されるこ

とはない。従って、本実施形態の製造方法によれば、下層配線層30の上部に、下層配線層30に損傷を与えることなく、デュアルダマシン構造の配線要素を形成することができる。

【0041】ところで、上記の実施形態においては、ビアホール46の内部に埋め込んだフォトレジスト48を硬化させるために、フォトレジスト48にDeep UVを照射することとしているが、フォトレジスト48を硬化させる手法はこれに限定されるものではない。例えば、ハードベイク(加熱)によって、或いは、それらの組合せによってフォトレジスト48を硬化させることとしても良い。

【0042】尚、上記の実施形態においては、第1シリコン窒化膜34が前記請求項1記載の「第1絶縁膜」に、第2シリコン窒化膜36が前記請求項1記載の「エッチングストップ膜」に、第2シリコン窒化膜38が前記請求項1記載の「第2絶縁膜」に、フォトレジスト48が前記請求項1記載の「有機層」に、それぞれ相当している。

【0043】実施の形態2. 次に図2を参照して、本発明の実施の形態2について説明する。図2 (A) ~ 図2 (F) は、本発明の実施の形態2の半導体デバイスの製造方法を説明するための図を示す。図2 (A) 乃至図2 (C) に示す如く、本実施形態の製造方法によれば、実施の形態1の場合と同様に、ステップ1~8の処理が実行されることによりビアホール46が形成される。

【0044】本実施形態の製造方法においては、図2 (D) に示す如く、第1フォトレジスト42が除去された後に(ステップ9)、ビアホール46の内部、および、第2シリコン窒化膜38の上部に、同時に、第2BARC50の層が形成される(ステップ15)。以後、実施の形態1の場合と同様に、ステップ13および14の処理が実行されることにより配線溝56が形成される。

【0045】本実施形態の製造方法において、第2BARC50は、第2フォトレジスト52をパターニングする際に反射防止膜として機能すると共に、配線溝56を形成するためのエッチングの過程では、実施の形態1におけるフォトレジスト48と同様の保護膜として機能する。このため、本実施形態の製造方法によれば、実施の形態1に比して簡単な工程で、実施の形態1の場合と同様の効果を得ることができる。

【0046】尚、上記の実施形態においては、第2BARC50が前記請求項1記載の「有機層」に相当している。

【0047】実施の形態3. 次に、図3を参照して、本発明の実施の形態3について説明する。図3 (A) 乃至図3 (F) は、本実施形態の半導体デバイスの製造方法を説明するための図を示す。本実施形態の製造方法は、第2BARC50の材料として用いられる有機反射防止

10

20

30

40

50



剤の埋め込み性が、実施の形態2で用いられるものの埋め込み性に比して劣る点を除き、実施の形態2と同様である。

【0048】すなわち、実施の形態2の製造方法では、埋め込み性の良い有機反射防止剤を用いて第2BARC50が形成されるため、第2BARC50が、ビアホール46の内部全体に埋め込まれている。これに対して、本実施形態の製造方法では、埋め込み性の悪い有機反射防止剤を用いて第2BARC50が形成されるため、第2BARC50が、ビアホール46の壁面のみを覆うように形成される(図3(D)参照)。

【0049】第2BARC50は、ビアホール46の壁面のみを覆うように形成されている場合でも、配線溝56を形成するためのエッチングの過程において、第1シリコン窒化膜32の露出部、および、第2シリコン窒化膜36の貫通孔付近を有効に保護する。従って、本実施形態の製造方法によっても、実施の形態1および2の場合と同様に、下層配線層30に損傷を与えることなく、その上部にデュアルダマシン構造の配線要素を形成することができる。

【0050】実施の形態4。次に、図4を参照して、本発明の実施の形態4について説明する。図4(A)～図4(G)は、本発明の実施の形態4の半導体デバイスの製造方法を説明するための図(左:断面図、右:平面図)を示す。図4(A)に示す如く、本実施形態の製造方法においては、実施の形態1の場合と同様に、ステップ1～5の処理により、下層配線層30、第1シリコン窒化膜32、第1シリコン酸化膜34、第2シリコン窒化膜36および第2シリコン酸化膜38が順次形成される。

【0051】本実施形態において、第1および第2シリコン酸化膜34、38は、3～4%のフッ素を含有している。このようなシリコン酸化膜は、フッ素を含有しないものに比して小さな誘電率を示す。また、第1および第2シリコン窒化膜32、36は、パシベーション用に広く用いられているSi<sub>3</sub>N<sub>4</sub>膜、すなわち、シリコンと窒素との比が3:4の膜である。シリコン窒化膜は、シリコンリッチとなるほど吸収率が高くなり、窒素リッチとなるほど誘電率が低下する。本実施形態のように、窒素比率の高いシリコン窒化膜によれば、吸収率は確保できない反面、誘電率を小さく抑制することができる。従って、本実施形態の構造によれば、半導体デバイスの配線容量を十分に小さく抑制することができる。

【0052】第2シリコン窒化膜38の上部には、600～1000オングストローム程度の膜厚を有する高融点金属膜58が形成される(ステップ16)。本実施形態において、高融点金属膜58には、チタン窒化膜が用いられる。高融点金属膜58の上部には、写真製版により、実施の形態1の場合と同様に第1フォトレジスト42が形成される(ステップ7)。

【0053】第1フォトレジスト42の写真製版の際に第1フォトレジストを透過する光は、その殆どが高融点金属膜58によって反射される。このため、本実施形態の製造方法によれば、第1フォトレジスト42の下部にBARCを形成していないに関わらず、また、第1および第2シリコン窒化膜32、36の吸収率が比較的小さいに関わらず、反射光のハレーションや光路差に影響されることなく、第1フォトレジスト42を精度良くパターンニングすることができる。

【0054】図4(B)に示す如く、第1フォトレジスト42の開開口部44に露出している高融点金属膜58は、エッチングにより除去される(ステップ17)。次いで、図4(C)に示す如く、実施の形態1の場合と同様にステップ8～11の処理が実行されることにより、ビアホール46が形成され、更に、その内部にフォトレジスト48(有機層)が形成される。

【0055】ステップ11の処理(第1フォトレジスト42の除去)が終了すると、次に、ステップ13の処理が実行されることにより、高融点金属膜58の上部に、第2フォトレジスト52が形成される。第2フォトレジスト52の写真製版の際にその内部を透過する光は、第1フォトレジスト42の写真製版の場合と同様に、その殆どが高融点金属膜58によって反射される。このため、本実施形態の製造方法によれば、第2フォトレジスト52の下部にBARCを形成していないに関わらず、反射光のハレーションや光路差に影響されることなく、第2フォトレジスト52を精度良くパターンニングすることができる。

【0056】本実施形態の製造方法では、次に、図4(E)に示す如く、第2フォトレジスト52の開開口部54に露出している高融点金属膜58が、エッチングにより除去される(ステップ18)。

【0057】次いで、図4(F)に示す如く、実施の形態1の場合と同様にステップ14の処理により配線溝56が形成される。配線溝56を形成するためのエッチングは、第1シリコン窒化膜32の露出部、および、第2シリコン窒化膜36の貫通孔付近がフォトレジスト48により保護された状態で行われる。このため、本実施形態の製造方法によれば、実施の形態1の場合と同様に、下層配線層30に損傷を与えることなく、その上部にデュアルダマシン構造の配線要素を精度良く形成することができる。

【0058】配線溝56が形成され、更に、アッシングによって第2フォトレジスト52等が除去されると、図4(G)に示す如く、ウェットエッチングによって第2シリコン酸化膜38の上部から高融点金属膜58が除去される(ステップ19)。上記の処理が終了すると、実施の形態1の場合と同様に所望の構造を得ることができる。

【0059】図5(A)および図5(B)は、本実施形

態の製造方法と対比される方法で製造される半導体デバイスの断面図および平面図を示す。より具体的には、図 5 (A) および図 5 (B) は、第 2 シリコン酸化膜 38 の上部に高融点金属膜 58 を形成することなく第 2 フォトリソグレイスト 52 を形成した場合に実現される状態を示す。

【0060】図 6 は、図 5 に示す構造に対して第 2 シリコン酸化膜 38 の上部から光 (i 線) を照射した場合に得られる反射率と、層間絶縁膜 (32~38 等) の厚さとの関係を示す。また、図 7 は、図 4 に示す構造 (本実施形態の構造) に対して高融点金属膜 58 の上部から光 (i 線) を照射した場合に得られる反射率と、層間絶縁膜の厚さとの関係を示す。

【0061】第 2 シリコン酸化膜 38 の表面に高融点金属膜 58 が形成されていない場合は、半導体デバイスに向けて照射された光は、層間絶縁膜を透過して、シリコン基板や下層配線層 30 で反射される。この場合、層間絶縁膜の膜厚に応じて反射光の光路長が変化し、その結果、入射光と反射光の干渉状態が変化する。この場合、光の反射率は、図 6 に示す如く層間絶縁膜の膜厚に応じて変動する。このため、第 2 シリコン酸化膜 38 の表面に高融点金属膜 58 が形成されていない場合は、第 2 フォトリソグレイスト 52 の感光状態が、層間絶縁膜の膜厚のバラツキの影響を受けやすい。

【0062】更に、第 2 シリコン酸化膜 38 の表面に高融点金属膜 58 が形成されていない場合は、下層配線層 30 で強い反射光が発生し、第 2 フォトリソグレイスト 52 の写真製版の際に、反射光によるハレーションが生ずる。このため、高融点金属膜 58 が形成されていない場合は、図 5 (B) に示す如く、第 2 フォトリソグレイスト 52 の開口部 44 にパターン誤差が生じ易い。

【0063】これに対して、第 2 シリコン酸化膜 38 の表面に高融点金属膜 58 が形成されている場合は、半導体デバイスに向けて照射された光が高融点金属膜 58 により反射されるため、図 7 に示す如く、層間絶縁膜 (32~38 等) の膜厚が変化しても、光の反射率はほぼ一定値に保たれる。更に、この場合は、照射光が下層配線層 10 に到達しないため、ハレーションの問題が生ずることもない。このため、本実施形態の製造方法によれば、図 4 (D) 等 に示す如く、第 2 フォトリソグレイスト 52 を精度良く形成することができる。

【0064】このように、本実施形態の製造方法において、第 2 シリコン酸化膜 38 の表面に形成される高融点金属膜 58 は、パターン誤差の原因となる反射光の発生を防ぐ ARC として機能する。また、高融点金属膜 58 を ARC として用いることによれば、実施の形態 1 乃至 3 の場合と異なり、第 1 および第 2 フォトリソグレイスト 42, 52 を形成する度に ARC の成膜を行う必要がない。このため、本実施形態の製造方法によれば、簡単な工程で、高度な形状精度を有する半導体デバイスを製造

することができる。

【0065】尚、上記の実施形態においては、高融点金属膜 58 が、前記請求項 12 記載の「反射防止用高融点金属膜」に相当している。

【0066】実施の形態 5. 次に、本発明の実施の形態 5 について説明する。本実施形態の半導体デバイスの製造方法は、実施の形態 4 の製造方法における高融点金属膜 58 を、0.5~1.0 の吸収率を有するシリコン窒化膜、すなわち、シリコンと窒素との比が 1:1 の SiN 膜とすることで実現される。上記のシリコン窒化膜によれば、高融点金属膜 58 の場合と同様に第 2 シリコン酸化膜 38 の上で ARC として機能する。このため、本実施形態の製造方法によっても、実施の形態 4 の場合と同様に、寸法精度の優れた半導体デバイスを形成することができる。

【0067】また、シリコン窒化膜は、高融点金属膜 58 と異なり絶縁膜である。従って、第 2 シリコン酸化膜 38 の上に形成したシリコン窒化膜は、必ずしも除去する必要がない。このため、本実施形態の製造方法によれば、実施の形態 4 の製造方法に比して、更なる工程の簡略化が可能である。

【0068】尚、上記の実施形態においては、第 2 シリコン酸化膜の上に形成されるシリコン窒化膜 (SiN 膜) が前記請求項 13 記載の「反射防止用シリコン窒化膜」に相当している。

【0069】実施の形態 6. 次に、図 8 を参照して本発明の実施の形態 6 について説明する。図 8 (A) 乃至図 8 (H) は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す。

【0070】図 8 (A) に示す如く、本実施形態の製造方法では、先ず、600 オングストロームの膜厚を有するシリコン窒化膜 60 の上に、CVD により、1300 オングストロームの膜厚を有するシリコン酸化膜 62 が形成される (ステップ 20)。

【0071】次に、図 8 (B) に示す如く、写真製版および異方性エッチングにより、シリコン酸化膜 62 に下層配線用溝 64 がパターンニングされる (ステップ 21)。

【0072】図 8 (C) に示す如く、シリコン酸化膜 62 の上部、および、下層配線用溝 64 の内部には、スパッタ法、或いは、CVD 法により、500~1000 オングストローム程度の膜厚を有する高融点金属膜 66 が形成される (ステップ 22)。高融点金属膜 66 は、チタン、チタン窒化物、タンタル、或いは、タンタル窒化物等により形成されている。

【0073】図 8 (D) に示す如く、高融点金属膜 66 の上部 (下層配線用溝 64 の内部を含む) には、スパッタ法、CVD 法、メッキ法、或いは、それらの組合せによって、15000~20000 オングストロームの膜厚を有する主金属材 68 が形成される (ステップ 2

3)。本実施形態において、主金属材68は銅により形成されている。

【0074】図8(E)に示す如く、主金属材68および高融点金属66は、CMP法により、或いは、全面エッチバックの手法により、主金属材68の表面とシリコン酸化膜62の表面とが平坦化される(ステップ24)

【0075】図8(F)に示す如く、平坦化されたシリコン酸化膜62および主金属材68の上部には、ステップ22の場合と同様の手法でチタンを堆積させることにより、100~1000オングストローム程度の膜厚を有する高融点金属膜70が形成される(ステップ25)。

【0076】図8(G)に示す如く、高融点金属膜70のうち、主金属材68および高融点金属膜66の何れとも重ならない部分は、写真製版およびエッチングにより除去される(ステップ26)。上記の処理が実行されることにより、高融点金属70は、下層配線用溝64に対応する部分だけが残る。その結果、主金属材68および高融点金属膜66、70により下層配線層30が形成される。尚、ステップ26の処理において、写真製版は、下層配線用溝64のパターニング(ステップ21参照)に用いられたマスク(レチクル)と、その際に用いられたフォトリソと逆の極性(ネガ或いはポジ)を有するフォトリソとを用いて行われる。

【0077】図8(H)に示す如く、シリコン酸化膜62および下層配線層30の上部には、実施の形態1乃至5の場合と同様にステップ3~5の処理が行われることにより、第1シリコン酸化膜34、第2シリコン窒化膜36、および、第2シリコン酸化膜38が順次形成される。以後、実施の形態1乃至5の何れかと同様、或いは近似する処理が実行されることにより、下層配線層30の上部にデュアルダマシ構造の配線要素が形成される。

【0078】本実施形態の製造方法において、下層配線層30の主金属材68を覆う高融点金属材70は、第1または第2フォトリソ42、52の写真製版の際に反射光によるハレーションを防止するARCとして機能する。また、本実施形態において、第2シリコン窒化膜36は、0.5~1.0の吸収率を有するシリコンリッチな窒化膜で形成される。より具体的には、シリコンと窒素との比が1:1のSiNにより形成される。このような第2シリコン窒化膜36によれば、第1または第2フォトリソ42、52の写真製版の際に、照射光の透過を有効に防止して、反射光によるハレーションを有効に防止することができる。

【0079】実施の形態1乃至5においては、反射光のハレーション等に起因するパターン精度の悪化を防止するために、第2シリコン酸化膜38の上に、有機反射防止膜や高融点金属膜等を形成している。しかしながら、本実施形態の製造方法においては、上記の如く、下層配

線層30の高融点金属膜70や第2シリコン窒化膜36により、ARCの機能を満たすことができる。このため、本実施形態の製造方法においては、第2シリコン酸化膜38の上部のARCを省略しても、反射光に起因するパターン精度の誤差を有効に抑制して、高精度な寸法精度を有する半導体デバイスを製造することができる。

【0080】また、本実施形態の製造方法において、主金属材68を覆う高融点金属膜70は、ARCとして機能することに加えて、主金属材68(銅)の酸化、および、拡散を防止するバリアメタルとしても機能する。更に、高融点金属膜70は、第1シリコン酸化膜34のエッチングを行う際に、そのエッチングの進行を止めるストッパ膜としても機能する。このため、本実施形態の製造方法によれば、実施の形態1乃至5で必要とされていた第1シリコン窒化膜32を、下層配線層30の上に形成する必要がない。第1シリコン窒化膜32を省略することができると、層間絶縁膜の誘電率が低下して配線容量が低下する。従って、本実施形態の製造方法によれば、実施の形態1乃至5の場合に比して、配線容量の小さな半導体デバイスを製造することができる。

【0081】実施の形態7. 次に、図9を参照して本発明の実施の形態7について説明する。図9(A)~図9(E)は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す。

【0082】図9(A)は、実施の形態6における図8(E)と同じ状態を示す。本実施形態の製造方法では、実施の形態6の場合と同様にステップ20~24の処理が実行されることにより、図9(A)の状態が形成される。図9(B)に示す如く、本実施形態の製造方法では、主金属材68の表面がシリコン酸化膜62の表面に比して100~1000オングストローム程度低くなるように、オーバーエッチング或いはオーバーポリッシングが行われる(ステップ27)。

【0083】オーバーエッチング或いはオーバーポリッシングされたシリコン酸化膜62および主金属材68の上には、実施の形態8のステップ25と同様の手法で、100~1000オングストローム程度の高融点金属膜70が形成される(図9(C))。

【0084】図9(D)に示す如く、高融点金属膜70は、その表面とシリコン酸化膜62の表面とが平坦となるまで、全面エッチバック法、或いは、CMP法により除去される(ステップ28)。上記の処理が実行されることにより、シリコン酸化膜62の中に、下層配線層30が形成される。

【0085】以後、上述した実施の形態6の場合と同様の処理が実行されることにより、所望の構成が実現される。本実施形態の製造方法において、下層配線層30の高融点金属膜70は、実施の形態6の場合と同様に、ARC、バリアメタル、および、エッチングストッパ膜として機能する。このため、本実施形態の製造方法によ

ても、実施の形態 6 の場合と同様に簡単な工程で優れた寸法精度を有する半導体デバイスを製造することができる。また、本実施形態の製造方法によれば、下層配線層 30 の表面とシリコン酸化膜 62 の表面とを平坦化することができる。このため、本実施形態の製造方法によれば、実施の形態 6 の場合に比して更に容易に、下層配線層 30 の上に精度良く配線要素を形成することができる。

【0086】実施の形態 8. 次に、図 10 を参照して本発明の実施の形態 7 について説明する。図 10 (A) ~ 図 10 (C) は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す。

【0087】図 10 (A) は、実施の形態 6 における図 8 (E) と同じ状態を示す。本実施形態の製造方法では、実施の形態 6 の場合と同様にステップ 20 ~ 24 の処理が実行されることにより、図 10 (A) の状態が形成される。図 10 (B) に示す如く、本実施形態の製造方法では、シリコン酸化膜 62 および主金属材 68 の上部に、第 1 シリコン窒化膜 32 が形成される (ステップ 2)。本実施形態において、第 1 シリコン窒化膜 32 には、0.5 ~ 1.0 の吸収率を有するシリコンリッチな膜、すなわち、シリコンと窒素との比が 1 : 1 の SiN 膜である。

【0088】第 1 シリコン窒化膜 32 が形成された後、上述した実施の形態 6 および 7 の場合と同様の処理が実行されることにより、所望の構成が実現される。本実施形態の製造方法において、第 1 シリコン窒化膜 32 は、実施の形態 6 または 7 における高融点金属膜 70 と同様に、ARC、バリア層、および、エッチングストップパ膜として機能する。このため、本実施形態の製造方法によれば簡単な工程で優れた寸法精度を有する半導体デバイスを製造することができる。

【0089】実施の形態 9. 次に、図 11 を参照して本発明の実施の形態 7 について説明する。図 11 (A) ~ 図 11 (C) は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す。

【0090】図 11 (A) は、実施の形態 6 における図 8 (E) と同じ状態を示す。本実施形態の製造方法では、実施の形態 6 の場合と同様にステップ 20 ~ 24 の処理が実行されることにより、図 11 (A) の状態が形成される。図 11 (B) に示す如く、本実施形態の製造方法では、シリコン酸化膜 62 および主金属材 68 の上部に、第 1 シリコン窒化膜 32 が形成される (ステップ 2)。本実施形態において、第 1 シリコン窒化膜 32 には、実施の形態 8 (図 10 参照) の場合と同様に、0.5 ~ 1.0 の吸収率を有するシリコンリッチな膜、すなわち、シリコンと窒素との比が 1 : 1 の SiN 膜が用いられる。

【0091】図 11 (C) に示す如く、第 1 シリコン窒化膜 32 のうち、主金属材 68 および高融点金属膜 66

の何れとも重ならない部分は、写真製版およびエッチングにより除去される (ステップ 29)。上記の処理が実行されることにより、第 1 シリコン窒化膜 32 は、下層配線用溝 64 に対応する部分だけが残る。尚、ステップ 29 の処理において、写真製版は、下層配線用溝 64 のパターニング (ステップ 21 参照) に用いられたマスク (レチクル) と、その際に用いられたフォトリソと逆の極性 (ネガ或いはポジ) を有するフォトリソとを用いて行われる。

【0092】以後、上述した実施の形態 6 乃至 8 の場合と同様の処理が実行されることにより、所望の構成が実現される。本実施形態の製造方法において、第 1 シリコン窒化膜 32 は、実施の形態 8 (図 10 参照) の場合と同様に、ARC、バリア層、および、エッチングストップパ膜として機能する。このため、本実施形態の製造方法によれば簡単な工程で優れた寸法精度を有する半導体デバイスを製造することができる。

【0093】本実施形態の製造方法によれば、実施の形態 8 の場合に比して、第 1 シリコン窒化膜 32 の残存面積を小さくすることができる。半導体デバイスの配線容量は、シリコン窒化膜の面積が小さい程少量となる。従って、本実施形態の製造方法によれば、実施の形態 8 の場合に比して、配線抵抗の小さな半導体デバイスを製造することができる。

【0094】実施の形態 10. 次に、図 12 を参照して本発明の実施の形態 7 について説明する。図 12 (A) ~ 図 12 (E) は、本実施形態の半導体デバイスの製造方法の主要部を説明するための図を示す。

【0095】図 12 (A) は、実施の形態 6 における図 8 (E) と同じ状態を示す。本実施形態の製造方法では、実施の形態 6 の場合と同様にステップ 20 ~ 24 の処理が実行されることにより、図 12 (A) の状態が形成される。図 12 (B) に示す如く、本実施形態の製造方法では、次に、実施の形態 7 (図 9 参照) の場合と同様に、ステップ 27 の処理が実行される。その結果、オーバーエッチングまたはオーバーエッチングによって、主金属材 68 の表面がシリコン酸化膜 62 の表面に比して 100 ~ 1000 オングストローム程度低くされる。

【0096】オーバーエッチング或いはオーバーポリッシングされたシリコン酸化膜 62 および主金属材 68 の上には、第 1 シリコン窒化膜 32 が形成される (ステップ 2)。本実施形態において、第 1 シリコン窒化膜 32 には、実施の形態 8 または 9 (図 10 および 11 参照) の場合と同様に、0.5 ~ 1.0 の吸収率を有するシリコンリッチな膜、すなわち、シリコンと窒素との比が 1 : 1 の SiN 膜が用いられる (図 12 (C))。

【0097】図 12 (D) に示す如く、第 1 シリコン窒化膜 32 は、その表面とシリコン酸化膜 62 の表面とが平坦となるまで、全面エッチバック法、或いは、CMP 法により除去される (ステップ 30)。上記の処理が実

行されることにより、シリコン酸化膜 62 の中に、下層配線層 30 が形成される。

【0098】以後、上述した実施の形態 6 乃至 9 の場合と同様の処理が実行されることにより、所望の構成が実現される。本実施形態の製造方法において、第 1 シリコン窒化膜 32 は、実施の形態 8 および 9 (図 10 および 11 参照) の場合と同様に、ARC、バリアメタル、および、エッチングストップ膜として機能する。このため、本実施形態の製造方法によれば簡単な工程で優れた寸法精度を有する半導体デバイスを製造することができる。

【0099】また、本実施形態の製造方法によれば、第 1 シリコン酸化膜 32 の残存面積を小さくできると共に、第 1 シリコン酸化膜 32 の表面とシリコン酸化膜 62 の表面とを平坦化することができる。このため、本実施形態の製造方法によれば、配線容量の小さな半導体デバイスを製造すると共に、下層配線層 30 の上に、容易に、高精度な配線要素を形成することができる。

【0100】

【発明の効果】この発明は以上説明したように構成されているので、以下に示すような効果を奏する。請求項 1 記載の発明によれば、ビアホール内部に有機層が形成された後に配線溝を形成するためのエッチングが行われる。この場合、有機層が保護膜となるため、配線溝を形成するためのエッチングによって下層配線層が損傷を受けることがない。

【0101】請求項 2 記載の発明によれば、有機層はエッチングストップ膜の上部まで形成されている。この場合、配線溝を形成するためのエッチングの過程において、エッチングストップ層の貫通孔(ビアホールによる孔)が有機層により保護される。従って、本発明によれば、ビアホールの上端の径が拡大されることによる下層配線層の損傷を防止することができる。

【0102】請求項 3 記載の発明によれば、フォトリソストを用いることにより、簡単な工程で有機層を形成することができる。

【0103】請求項 4 記載の発明によれば、有機反射防止剤を用いることにより、簡単な工程で有機層を形成することができる。また、本発明によれば、第 2 絶縁膜の上に有機反射防止膜を形成する場合には、有機反射防止膜を形成する際に、その工程と兼ねて有機層を容易に形成することができる。

【0104】請求項 5 記載の発明によれば、下層配線層の主金属材を高融点金属膜で覆うことができる。高融点金属膜によれば、反射光のハレーションを防止することができる。従って、本発明によれば、写真製版の際に、ハレーションに影響されることがなく、優れた寸法精度でフォトリソストをパターンニングすることができる。

【0105】請求項 6 記載の発明によれば、下層配線層

の主金属材の上面のみを覆う高融点金属膜を簡単な工程で形成することができる。

【0106】請求項 7 記載の発明によれば、下層配線層の主金属材の上面のみを覆う高融点金属膜を、簡単な工程で、下層配線用溝の内部に形成することができる。この場合、高融点金属膜の幅が下層配線層の幅からはみ出すことがないため、配線要素間のショートマージンを小さくすることができる。また、高融点金属膜の表面と、シリコン基板の表面とが平坦となるため、下層配線層の上部に形成する配線要素を容易に精度良く形成することができる。

【0107】請求項 8 記載の発明によれば、下層配線層の主金属材を、0.5~1.0 の吸収率を有するシリコン窒化膜で覆うことができる。上記のシリコン窒化膜によれば、反射光のハレーションを防止することができる。従って、本発明によれば、写真製版の際に、ハレーションに影響されることがなく、優れた寸法精度でフォトリソストをパターンニングすることができる。

【0108】請求項 9 記載の発明によれば、下層配線層の主金属材の上面のみを覆うように、0.5~1.0 の吸収率を有するシリコン窒化膜を簡単な工程で形成することができる。従って、本発明によれば、ハレーションを防止する機能を実現しつつ、配線容量を小さく抑制することができる。

【0109】請求項 10 記載の発明によれば、下層配線層の主金属材の上面のみを覆うように、下層配線用溝の内部に 0.5~1.0 の吸収率を有するシリコン窒化膜を、簡単な工程で形成することができる。この場合、シリコン窒化膜の表面と、シリコン基板の表面とが平坦となるため、下層配線層の上部に形成する配線要素を容易に精度良く形成することができる。

【0110】請求項 11 記載の発明によれば、配線溝のエッチングの際にストップ膜として機能するエッチングストップ膜が、0.5~1.0 の吸収率を有するシリコン窒化膜で形成される。この場合、エッチングストップ膜によって光の透過量が抑制されるため、ハレーションの影響を更に軽減することができる。

【0111】請求項 12 記載の発明によれば、第 2 絶縁膜の表面に反射防止用高融点金属膜が形成される。この場合、反射防止用高融点金属膜の表面で効率良く光が反射されるため、反射光に光路差が生ずることがない。従って、本発明によれば、極めて精度良くフォトリソストをパターンニングすることができる。

【0112】請求項 13 記載の発明によれば、第 2 絶縁膜の表面に 0.5~1.0 の吸収率を有する反射防止用シリコン窒化膜が形成される。この場合、反射防止用シリコン窒化膜の表面で効率良く光が反射されるため、反射光に光路差が生ずることがない。従って、本発明によれば、極めて精度良くフォトリソストをパターンニングすることができる。

【0113】請求項14記載の発明によれば、第2絶縁膜とフォトリソトとの間に有機反射防止膜が形成された状態でフォトリソトの感光処理が行われる。この場合、フォトリソトに照射された光が効率良く有機反射防止膜の表面で反射されるため、反射光に光路差が生ずることがない。従って、本発明によれば、極めて精度良くフォトリソトをパターンニングすることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体デバイスの製造方法を説明するための図である。

【図2】 本発明の実施の形態2の半導体デバイスの製造方法を説明するための図である。

【図3】 本発明の実施の形態3の半導体デバイスの製造方法を説明するための図である。

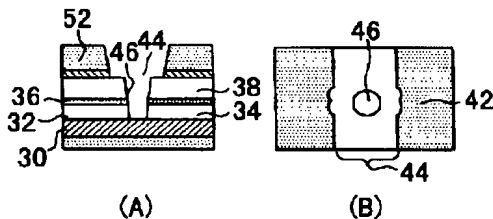
【図4】 本発明の実施の形態4の半導体デバイスの製造方法を説明するための図である。

【図5】 反射防止用高融点金属膜が用いられない場合に得られる状態を説明するための図である。

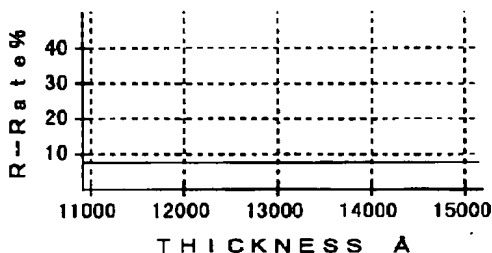
【図6】 反射防止用高融点金属膜が用いられない場合における層間絶縁膜の膜厚と反射膜との関係を示す図である。

【図7】 反射防止用高融点金属膜が用いられる場合における層間絶縁膜の膜厚と反射膜との関係を示す図である。

【図5】



【図7】



【図8】 本発明の実施の形態6の半導体デバイスの製造方法の主要部を説明するための図である。

【図9】 本発明の実施の形態7の半導体デバイスの製造方法の主要部を説明するための図である。

【図10】 本発明の実施の形態8の半導体デバイスの製造方法の主要部を説明するための図である。

【図11】 本発明の実施の形態9の半導体デバイスの製造方法の主要部を説明するための図である。

【図12】 本発明の実施の形態10の半導体デバイスの製造方法の主要部を説明するための図である。

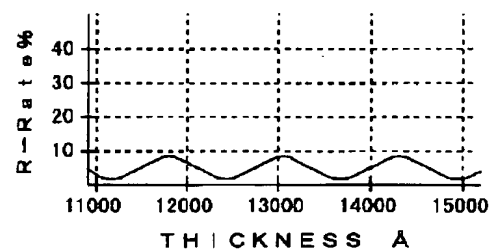
【図13】 従来の半導体デバイスの製造方法の主要部を説明するための図である。

【図14】 従来の半導体デバイスの製造方法の問題点を説明するための図である。

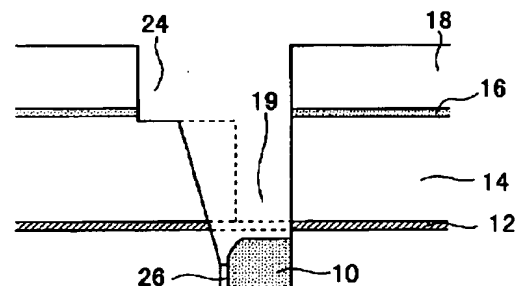
【符号の説明】

30 下層配線層、 32 第1シリコン窒化膜、  
34 第1シリコン酸化膜、 36 第2シリコン窒化膜、  
38 第2シリコン酸化膜、 40 第1有機反射防止膜（第1BARC）、  
42 第1フォトリソト、 46 ビアホール、 48 フォトリソト、  
50 第2有機反射防止膜（第2BARC）、  
52 第2フォトリソト、 56 配線溝、 58 ; 70 高融点金属膜、  
64 下層配線用溝、 68 主金属材料。

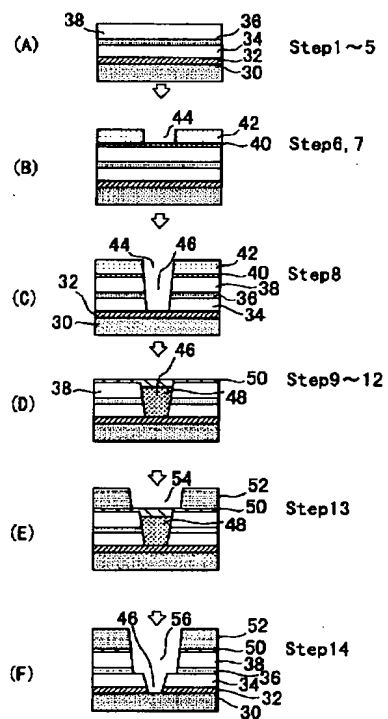
【図6】



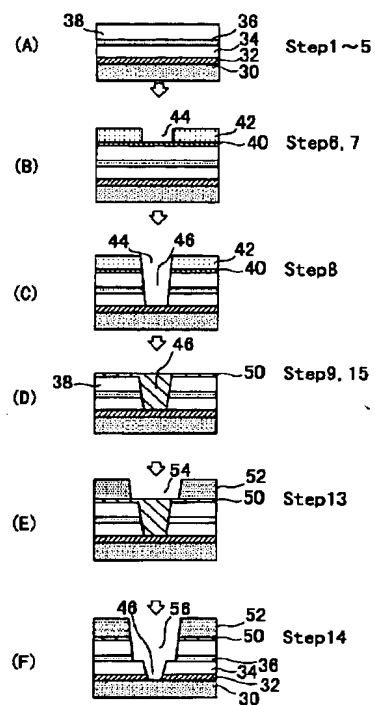
【図14】



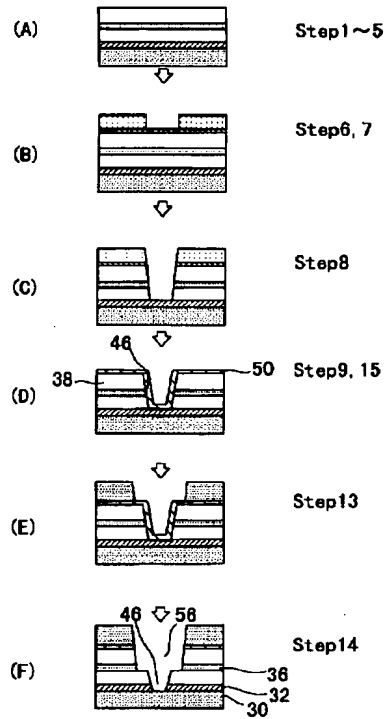
【図1】



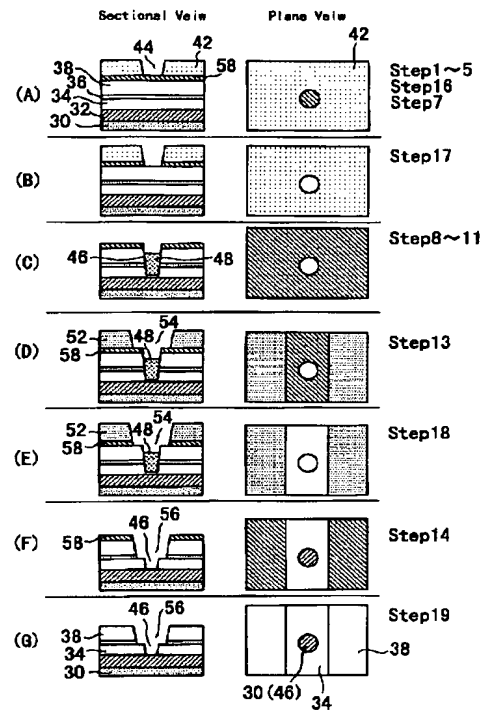
【図2】



【図3】

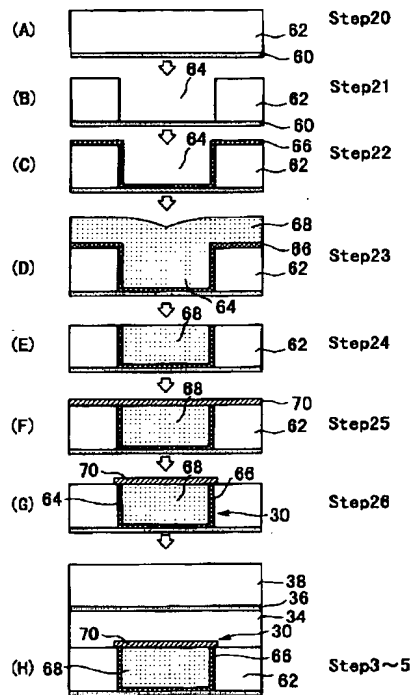


【図4】

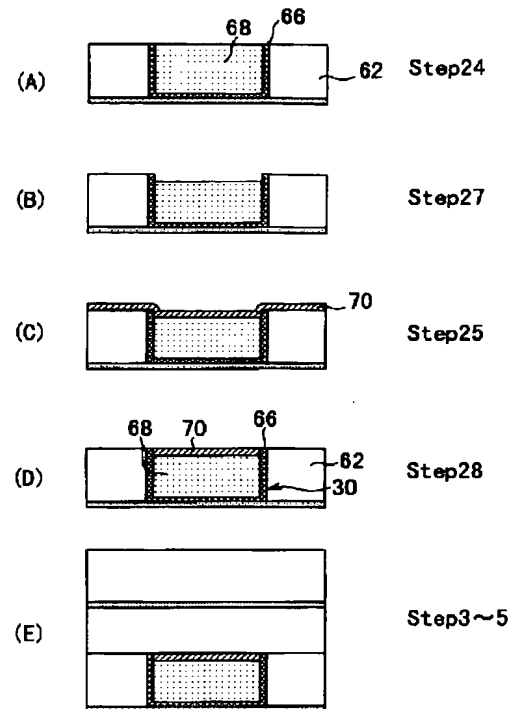




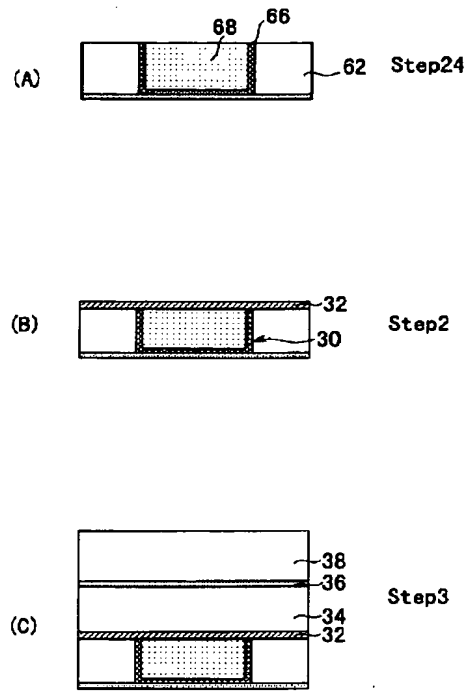
【図8】



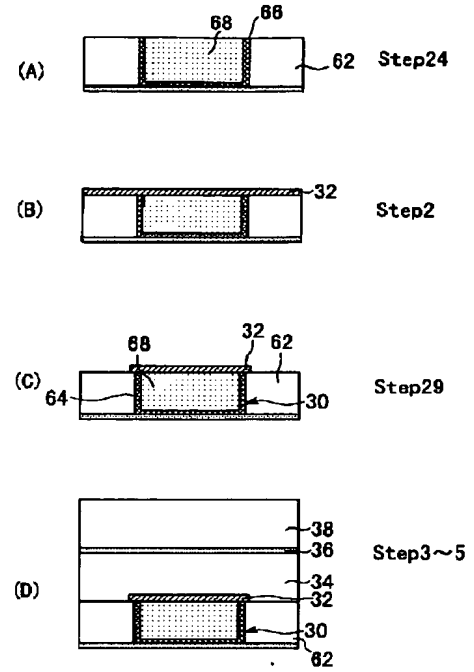
【図9】



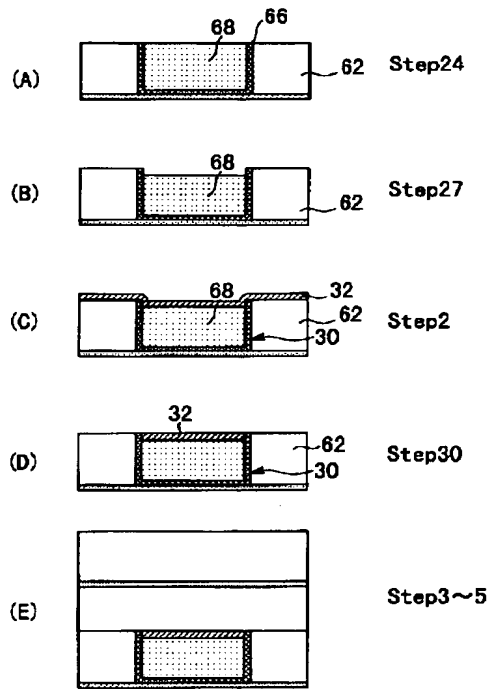
【図10】



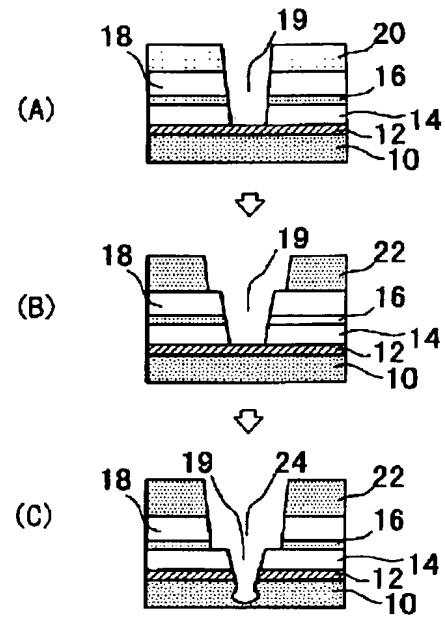
【図11】



【図12】



【図13】



フロントページの続き

Fターム(参考) 5F004 AA16 DB03 DB07 DB08 DB23  
 DB26 EA22 EA28 EB01 EB03  
 5F033 KK11 KK18 KK21 KK32 KK33  
 MM02 NN30 PP06 PP15 QQ09  
 QQ10 QQ16 QQ22 QQ23 QQ32  
 QQ35 QQ37 QQ48 RR04 RR05  
 RR06 RR11 RR21 RR27 SS12  
 SS22 TT02 XX03 XX24 XX28  
 XX32